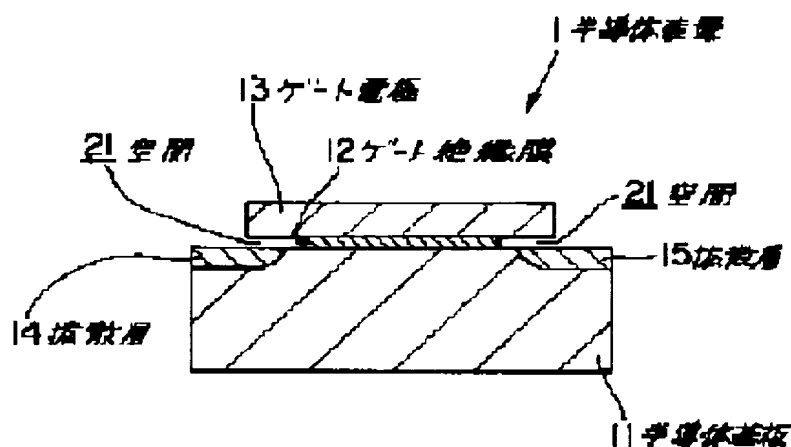


MicroPatent® PatSearch FullText: Record 1 of 1

Search scope: USG USA EPA EPB WO JP; Full patent spec.

Years: 1971-2001

Text: Patent/Publication No.: JP11003990

[Download This Patent](#)[Family Lookup](#)[Citation Indicators](#)

JP11003990 A2
SEMICONDUCTOR DEVICE AND ITS MANUFACTURE
SONY CORP

Inventor(s): ;NAKAYAMA SO ;MUKAI MIKIO ;KONISHI MORIKAZU

Application No. 09102868 JP09102868 JP, Filed 19970421,

Abstract: PROBLEM TO BE SOLVED: To prevent current leakages from increasing and an element characteristic from deteriorating due to the increase in gate electric field with thinning of a gate insulating film, and also when a high dielectric constant material is used for a gate insulating film.

SOLUTION: In the semiconductor device 1, a gate electrode 13 is formed on a semiconductor substrate 11 via the gate insulating film 12, and diffused layers 14 and 15 are formed on the semiconductor substrate 11 on both sides of the gate electrode 13. In such a case, the gate insulating film 12 is formed shorter in a gate length direction as compared to that in the gate electrode 13, and a space 21 is formed on the side of the gate insulating film 12 in the gate length direction and in a region which is sandwiched by the gate electrode 13 and the semiconductor substrate 11 and in which the diffused layers 14 and 15 are overlapped in terms of a planar view. A dielectric is embedded in the space 21.

Int'l Class: H01L02978; H01L027115 H01L0218247 H01L029788 H01L029792

Priority: JP 08 99702 19960422 JP 09 98561 19970416

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-3990

(43) 公開日 平成11年(1999) 1月6日

(51) Int. Cl.⁶

識別記号

F I

H 0 1 L 29/78
27/115
21/8247
29/788
29/792

H 0 1 L 29/78 3 0 1 G
27/10 4 3 4
29/78 3 7 1

審査請求 未請求 請求項の数30 O L (全 17 頁)

(21) 出願番号 特願平9-102868

(22) 出願日 平成9年(1997) 4月21日

(31) 優先権主張番号 特願平8-99702

(32) 優先日 平8(1996) 4月22日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平9-98561

(32) 優先日 平9(1997) 4月16日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 中山 創

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 向井 幹雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 小西 守一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

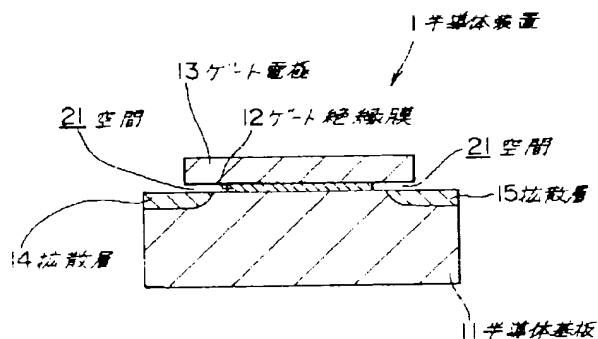
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 ゲート絶縁膜の薄膜化にともない、またゲート絶縁膜に高誘電率材料を用いた場合に、ゲート電界の増大によって、電流リークが大きくなり、素子特性を劣化させていた。またゲート電界とトレイン電界とのオーバーラップにより短チャネル効果が生じていた。

【解決手段】 半導体基板11上にゲート絶縁膜12を介してゲート電極13が形成され、かつゲート電極13の両側における半導体基板11に拡散層14、15が形成されている半導体装置1であって、ゲート絶縁膜12はゲート電極13よりもゲート長方向に短く形成され、ゲート長方向におけるゲート絶縁膜12の側方かつゲート電極13と半導体基板11とに挟まれた領域で、かつ少なくともゲート電極13と拡散層14、15とが平面視的にオーバーラップする領域に、空間21が形成されているものである。また空間21に誘電体（図示省略）を埋め込んだものである。



本発明の半導体装置に係る第1実施形態の概略構成図

【特許請求の範囲】

【請求項1】 半導体基板上にゲート絶縁膜を介してゲート電極が形成され、かつ前記ゲート電極の両側における該半導体基板に拡散層が形成されている半導体装置において、

前記ゲート絶縁膜は前記ゲート電極よりもゲート長方向に短く形成され、

ゲート長方向における前記ゲート絶縁膜の側方から前記ゲート電極と前記半導体基板とに挟まれた領域に空間が形成されていることを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、前記空間は厚さ方向に前記ゲート絶縁膜の厚さよりも広く形成されていることを特徴とする半導体装置。

【請求項3】 請求項1記載の半導体装置において、前記空間は少なくとも前記ゲート電極と前記拡散層とが平面視的にオーバーラップする領域に形成されていることを特徴とする半導体装置。

【請求項4】 請求項2記載の半導体装置において、前記空間は少なくとも前記ゲート電極と前記拡散層とが平面視的にオーバーラップする領域に形成されていることを特徴とする半導体装置。

【請求項5】 請求項3記載の半導体装置において、前記ゲート電極はフローティングゲートであり、前記フローティングゲートであるゲート電極上には絶縁体膜を介してコントロールゲートが形成されていることを特徴とする半導体装置。

【請求項6】 請求項4記載の半導体装置において、前記ゲート電極はフローティングゲートであり、前記フローティングゲートであるゲート電極上には絶縁体膜を介してコントロールゲートが形成されていることを特徴とする半導体装置。

【請求項7】 請求項1記載の半導体装置において、前記空間上のゲート電極部分は前記ゲート絶縁膜上のゲート電極部分と分離空間または分離絶縁膜を介して分離されていることを特徴とする半導体装置。

【請求項8】 請求項2記載の半導体装置において、前記空間上のゲート電極部分は前記ゲート絶縁膜上のゲート電極部分と分離空間または分離絶縁膜を介して分離されていることを特徴とする半導体装置。

【請求項9】 請求項1記載の半導体装置において、前記拡散層の前記ゲート電極側は低い濃度で形成されていることを特徴とする半導体装置。

【請求項10】 請求項2記載の半導体装置において、前記拡散層の前記ゲート電極側は低い濃度で形成されていることを特徴とする半導体装置。

【請求項11】 請求項1記載の半導体装置において、前記空間下の半導体基板に前記拡散層に接続するのでも前記拡散層よりも低濃度の拡散層が形成されていることを特徴とする半導体装置。

【請求項12】 請求項2記載の半導体装置において

前記空間下の半導体基板に前記拡散層に接続するのでも前記拡散層よりも低濃度の拡散層が形成されていることを特徴とする半導体装置。

【請求項13】 半導体基板上にゲート絶縁膜を介してゲート電極が形成され、かつ前記ゲート電極の両側における該半導体基板に拡散層が形成されている半導体装置において、

前記ゲート絶縁膜は前記ゲート電極よりもゲート長方向に短く形成され、

ゲート長方向における前記ゲート絶縁膜の側方から前記ゲート電極と前記半導体基板とに挟まれた領域に、前記ゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体が形成されていることを特徴とする半導体装置。

【請求項14】 請求項13記載の半導体装置において、前記誘電体は厚さ方向に前記ゲート絶縁膜の厚さよりも厚く形成されていることを特徴とする半導体装置。

【請求項15】 請求項13記載の半導体装置において、前記誘電体は、少なくとも前記ゲート電極と前記拡散層とが平面視的にオーバーラップする領域に形成されていることを特徴とする半導体装置。

【請求項16】 請求項14記載の半導体装置において、前記誘電体は、少なくとも前記ゲート電極と前記拡散層とが平面視的にオーバーラップする領域に形成されていることを特徴とする半導体装置。

【請求項17】 請求項15記載の半導体装置において、前記ゲート電極はフローティングゲートであり、前記フローティングゲートであるゲート電極上には絶縁体膜を介してコントロールゲートが形成されていることを特徴とする半導体装置。

【請求項18】 請求項16記載の半導体装置において、前記ゲート電極はフローティングゲートであり、前記フローティングゲートであるゲート電極上には絶縁体膜を介してコントロールゲートが形成されていることを特徴とする半導体装置。

【請求項19】 請求項13記載の半導体装置において、前記誘電体上のゲート電極部分は前記ゲート絶縁膜上のゲート電極部分と分離空間または分離絶縁膜を介して分離されていることを特徴とする半導体装置。

【請求項20】 請求項14記載の半導体装置において、前記誘電体上のゲート電極部分は前記ゲート絶縁膜上のゲート電極部分と分離空間または分離絶縁膜を介して分離されていることを特徴とする半導体装置。

【請求項21】 請求項13記載の半導体装置において

て、前記拡散層の前記ゲート電極側は低い濃度で形成されていることを特徴とする半導体装置。

【請求項22】 請求項14記載の半導体装置において、前記拡散層の前記ゲート電極側は低い濃度で形成されていることを特徴とする半導体装置。

【請求項23】 請求項13記載の半導体装置において、前記誘電体下の半導体基板に前記拡散層に接続するのでも前記拡散層よりも低濃度の拡散層が形成されていることを特徴とする半導体装置。

【請求項24】 請求項14記載の半導体装置において、前記誘電体下の半導体基板に前記拡散層に接続するのでも前記拡散層よりも低濃度の拡散層が形成されていることを特徴とする半導体装置。

【請求項25】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体基板に拡散層を形成する工程とを備えた半導体装置の製造方法において、前記ゲート電極を形成した後に、前記ゲート絶縁膜を該ゲート電極よりもゲート長方向に短くなる状態に除去して、ゲート長方向における該ゲート絶縁膜の側方に該ゲート電極と前記半導体基板とに挟まれた領域で、かつ少なくとも該ゲート電極と前記拡散層とが平面視的にオーバーラップする領域に、空間を形成することを特徴とする半導体装置の製造方法。

【請求項26】 請求項25記載の半導体装置の製造方法において、

前記ゲート電極を形成した後で前記空間を形成する前に、ゲート長方向における前記ゲート絶縁膜の端部を加熱して、該加熱した部分のゲート絶縁膜を厚くすることを特徴とする半導体装置の製造方法。

【請求項27】 請求項25記載の半導体装置の製造方法において、

前記空間を形成した後、前記ゲート電極の表面を酸化した後、該酸化した部分を除去して、厚さ方向に前記ゲート絶縁膜の厚さよりも広い空間を形成することを特徴とする半導体装置の製造方法。

【請求項28】 半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極の両側の前記半導体基板に拡散層を形成する工程とを備えた半導体装置の製造方法において、前記ゲート電極を形成した後に、前記ゲート絶縁膜を該ゲート電極よりもゲート長方向に短くなる状態に除去して、ゲート長方向における該ゲート絶縁膜の側方に該ゲート電極と前記半導体基板とに挟まれた領域で、かつ少

なくとも該ゲート電極と前記拡散層とが平面視的にオーバーラップする領域に、空間を形成した後、前記空間に前記ゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体を埋め込むことを特徴とする半導体装置の製造方法。

【請求項29】 請求項28記載の半導体装置の製造方法において、前記ゲート電極を形成した後で前記空間を形成する前に、ゲート長方向における前記ゲート絶縁膜の端部をほぼ選択的に加熱して、該加熱した部分におけるゲート絶縁膜を厚くすることを特徴とする半導体装置の製造方法。

【請求項30】 請求項28記載の半導体装置の製造方法において、前記空間を形成した後で前記誘電体を埋め込む前に、前記ゲート電極の表面を酸化した後、該酸化した部分を除去して、厚さ方向に前記ゲート絶縁膜の厚さよりも広い空間を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置およびその製造方法に関する。

【0002】

【従来の技術】半導体装置の従来のゲート構造は、半導体基板上にゲート絶縁膜を形成し、さらにその上にゲート電極が形成されているものであり、上記ゲート電極の下部側のゲート絶縁膜は単一種類の材料からなりかつゲート電極下部の全面にわたって形成されているものであった。また従来のゲートの電界緩和構造としては、いわゆるLDD (Lightly Doped Drain) 構造があった。すなわち、ゲート電極の両側における半導体基板に低濃度の拡散層、いわゆるLDD (Lightly Doped Drain) を介してソース・ドレインが形成されている構造である。このLDD構造は、ゲート電極をマスクにして不純物をドーピング (例えばイオン注入) することにより、半導体基板に低濃度の拡散層となるLDDを形成した後、ゲート電極の両側にサイドウォールを形成する。このサイドウォールは、例えばゲート長方向の長さが100nm程度に形成される。その後、サイドウォールとゲート電極とをマスクにして、不純物をドーピング (例えばイオン注入) することにより、ゲート電極の両側における半導体基板に上記LDDを介してソース・ドレインを形成することにより形成される。

【0003】

【発明が解決しようとする課題】半導体装置における素子寸法の微細化の進展に伴い、半導体装置の内部の電界は高くなる方向にある。高電界が半導体装置の特性に及ぼす悪い影響の一つとして、ゲート電界が引き起こす電流リーク (以下、GIDLという、GIDLはGate

Induced Drain Leakageの略)が、IEDM (1987) T.Y. Chan, J. Chen, P. K. Ko and C. Hu, p718-721 に報告されている。

【0004】図15に示すように、この電流リークは、半導体装置101におけるゲート電極111と拡散層112との平面視的にみたオーバーラップ領域Aおよびゲート電極111と拡散層113との平面視的にみたオーバーラップ領域Bにおけるゲート絶縁膜114と半導体基板115との界面近傍の半導体中において、ゲート電極111から発した電界が強くなるためにキャリアがトンネルリークするという機構によって生じる。この電流リークは、ゲート絶縁膜114が薄くなるにしたがって、また、ゲート絶縁膜114の誘電率が高くなるにしたがって、悪化する方向に大きくなることがわかっている。

【0005】この電流リークを抑制する方法として、この領域のゲート絶縁膜の厚さを局部的に厚くしてゲート電界を小さくする構造が提案されている。この構造では、該当領域周辺の絶縁膜が例えば、ステップ状によって厚くなるという課題があり、微細化の流れに従うと、いずれはゲート構造の作製が困難になる。

【0006】また、半導体装置が電界効果トランジスタであって、ソース・ドレインにLDDを形成した構造では、LDDを形成するためにゲート電極の両側にサイドウォールを形成する必要がある。そのため、一部のホットキャリアがサイドウォール中に滞留することにより、素子が劣化するという問題が生じる。また、LDDの形成領域が必要になるため、素子の微細化が阻害される。

【0007】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置およびその製造方法である。

【0008】半導体装置は、半導体基板上にゲート絶縁膜を介してゲート電極が形成され、かつこのゲート電極の両側における半導体基板に拡散層が形成されている半導体装置であって、上記ゲート絶縁膜はゲート電極よりもゲート長方向に短く形成され、ゲート長方向におけるゲート絶縁膜の側方にはゲート電極と半導体基板とに挟まれた空間が少なくともゲート電極と拡散層とが平面視的にオーバーラップする領域に形成されているものである。上記空間はゲート絶縁膜の厚さよりも厚き方向に広く形成されていることが好ましい。

【0009】または、ゲート絶縁膜はゲート電極よりもゲート長方向に短く形成され、ゲート長方向におけるゲート絶縁膜の側方でかつ上記ゲート電極と半導体基板とに挟まれた領域で、かつりなりともゲート電極と拡散層とが平面視的にオーバーラップする領域に、上記ゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体が形成されているものである。上記誘電体はゲート絶縁膜の厚さよりも厚き方向に厚く形成されていることが好ましい。

【0010】上記半導体装置では、ゲート電極と半導体

基板とに挟まれ、かつゲート電極と拡散層とが平面視的にオーバーラップする領域に、空間を設けたことから、またはゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体を設けたことから、上記空間または上記誘電体を設けた領域では上記ゲート絶縁膜よりも誘電率が低くなる。したがって、空間または誘電体を設けた領域の電界強度は低減されるので、トンネルリークの発生は低減される。また、空間をゲート絶縁膜よりも厚き方向に広く形成した構成、または誘電体をゲート絶縁膜よりも厚き方向に厚く形成した構成では、空間または誘電体を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減される。さらに、LDDを形成する必要がないため、素子の微細化が図れ、またそれにとまってサイドウォールを形成する必要がないため、ホットキャリアの滞留による素子の劣化も無くなる。

【0011】また、上記半導体装置において、空間上のゲート電極部分はゲート絶縁膜上のゲート電極部分と分離空間または分離絶縁膜を介して分離されていてもよい。また拡散層のゲート電極側は低い濃度で形成されていてもよい。または空間下の半導体基板に、拡散層に接続するもで拡散層よりも低濃度の拡散層を形成してもよい。または上記空間を設ける代わりにゲート絶縁膜よりも誘電率が低い誘電体を設けてもよい。

【0012】上記ゲート電極が分離された半導体装置では、ゲート絶縁膜上のゲート電極の電圧にかかわらず空間(誘電体)上のゲート電極に任意の電圧を与えることが可能になる。それによって、大きな電界緩和効果が得られる。また低濃度の拡散層が形成された半導体装置では、空間(誘電体)の形成による電界緩和効果に加えて低濃度拡散層による電界緩和効果が得られる。すなわち、電界緩和効果がさらに大きくなる。

【0013】半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、ゲート絶縁膜上にゲート電極を形成する工程と、ゲート電極の両側の半導体基板に拡散層を形成する工程とを備えていて、上記ゲート電極を形成した後に、ゲート絶縁膜をゲート電極よりもゲート長方向に短くなる状態に除去して、ゲート長方向におけるゲート絶縁膜の両方にゲート電極と半導体基板とに挟まれた空間を設け、かつゲート電極と拡散層とが平面視的にオーバーラップする領域に形成するという方法である。またゲート電極を形成した後で空間を形成する前に、ゲート長方向のゲート絶縁膜の端部を加熱して、ゲート絶縁膜の端部を厚くしてもよい。または、空間を形成した後、ゲート電極表面を酸化して、その酸化部分を除去することによりゲート絶縁膜よりの膜厚方向に広い空間を形成してもよい。

【0014】または、上記空間を形成した後、この空間にゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体を埋め込むという方法である。

【0015】上記半導体装置の製造方法では、ゲート電

極を形成した後は、ゲート絶縁膜をゲート電極よりもゲート長方向に短く形成して除去して、ゲート長方向におけるゲート絶縁膜の側方にはゲート電極と半導体基板とに挟まれた空間をゲート電極と拡散層とが平面視的にオーバーラップする領域に形成することから、またはその空間にゲート絶縁膜より誘電率よりも低い誘電率を有する誘電体を設けたことから、上記空間または上記誘電体を設けた領域では上記ゲート絶縁膜よりも誘電率が低くなる。したがって、空間または誘電体を設けた領域の電界強度は低減されるのでトンネルリークの発生は低減される。また、ゲート絶縁膜の膜厚よりも広い空間を形成する方法、ゲート絶縁膜の膜厚よりも厚い誘電体を形成する方法では、空間または誘電体を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減される。

【0016】

【発明の実施の形態】本発明の第1実施形態の一例を、図1の概略構成図によって説明する。

【0017】図1に示すように、半導体基板11上にはゲート絶縁膜12が形成されている。このゲート絶縁膜12上にはゲート長方向にこのゲート絶縁膜12よりも長いゲート電極13が形成されている。言い換えば、上記ゲート絶縁膜12は上記ゲート電極13よりもゲート長方向に短く形成されていることになる。そしてゲート長方向におけるゲート絶縁膜12の側方にはゲート電極13と半導体基板11とに挟まれた空間21が形成されている。また上記ゲート電極13の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。そして上記空間21は、少なくとも上記ゲート電極13と上記各拡散層14、15とが平面視的にオーバーラップする領域に形成されている。さらに上記空間21は、真空雰囲気もしくは不活性雰囲気になっている。上記の如くに半導体装置1は構成されている。

【0024】

【数3】

$$\bar{\epsilon} = \epsilon \quad \dots (3)$$

【0025】ただし、 V_{bend} はゲート電界に起因した半導体バンド曲がりであり、この値が半導体基板11の禁制帯幅 E_g を超えた時点でトンネルリークが発生する。そこでリーク電流の解析には、通常、 V_{bend} を $E_g/4$ 、 $1/2 V$ を代入して上記(2)式を計算する。上記半導体装置1では、ゲート電極13に対して各拡散層14、15がオーバーラップしている領域を空間21とすることによって比誘電率 ϵ_{ox} を低下している。その結果、上記(2)式における $\epsilon_{\text{ox}}/\epsilon_s$ の項の値が小さくなり、表面電界強度 E_s を小さくすることができる。

【0026】上記半導体装置1の構造を適宜設計することによって、GIDLに起因したリーク電流を、他の要因（例えば素子分離LOCOS周辺部のPN接合におけ

【0018】上記半導体装置1では、ゲート電極13と半導体基板11とに挟まれ、かつゲート電極13と各拡散層14、15とが平面視的にオーバーラップする領域に、空間21を設けたことから、上記空間21を設けた領域では上記ゲート絶縁膜12よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるのでトンネルリークの発生は低減される。さらに、従来のようにLDDを形成する必要がないため、素子の微細化が図れ、またそれにともなうサイドウォールを形成する必要がないため、ホトキャリアの滞留による素子の劣化も無くなる。

【0019】ここで図2に示すGIDLの解析モデルの説明図によって、GIDLの簡単な解析モデルを示す。なお、下記に説明における各構成部品に付した符号は前記図1に示した符号に基づく。

【0020】GIDLに起因したドレインリーク電流 I_d は、半導体基板11とゲート絶縁膜12との界面における表面電界強度 E_s を用いて、以下のように表される。

【0021】

【数1】

$$I_d = A \cdot E_s \cdot \exp(-B/E_s) \quad \dots (1)$$

【0022】ただし、 A 、 B はそれぞれ定数である。上記(1)式は、表面電界強度 E_s が小さいほどドレインリーク電流 I_d を小さく抑えられることを示している。また、表面電界強度 E_s は、ゲート・ドレイン間電圧 V_{gd} 、ゲート絶縁膜12の膜厚 t_{ox} およびゲート絶縁膜12の比誘電率 ϵ_{ox} 、半導体基板11の比誘電率 ϵ_s を用いると以下のように表される。なお、比誘電率は通常(3)式左辺のように表すが、この明細書中では(3)式右辺のように ϵ と表記する。

【0023】

【数2】

$$E_s = (\epsilon_{\text{ox}}/\epsilon_s) \cdot [(V_{gd} - V_{\text{bend}})/t_{\text{ox}}] \quad \dots (2)$$

る生成再結合電流もしくは拡散電流)に起因したリーク電流以下に抑制する効果のモデルを以下に説明する。

【0027】定量的には、ゲート絶縁膜13が酸化シリコン膜(SiO_2 膜)で形成されている場合にはその比誘電率は ϵ_{ox} が4である。それに対して、空間21を例えば空気に置き換えた場合にはその比誘電率は ϵ_{ox} が1になる。したがって、上記(2)式に従うと、 t_{ox} および $V_{gd} - V_{\text{bend}}$ が一定の条件下で、表面電界強度 E_s をおよそ1/4にする効果がある。これはゲート絶縁膜12の膜厚 t_{ox} を4倍にしたのと同等の効果になる。

【0028】その結果、図3のドレイン接合リーク電流 I_d （自然対数で示す）とドレイン電圧 V_d との関係図の表で示すように、ドレイン電圧 V_d を高にしてもドレイン接合リーク電流 I_d はほぼ一定に保たれる。なお、図において、破線は従来の半導体装置の場合の電流-電圧の関係を示し、実線は前記図1によって説明した

半導体装置1の構造における電流-電圧の関係を示している。またゲート電圧は0Vとした。

【0029】次に、この構造で短チャネル効果抑制に関して説明する。短チャネル効果は、ソース（例えば拡散層14）もしくはドレイン（例えば拡散層15）から延びる電界がゲート絶縁膜12の下部のゲート電界が強いかわっている領域まで強延びている場合には、その電界が重複した領域においてゲート電極13の制御によって意図した以上の電界がかわることによる効果であり、しきい値電圧の低下などが問題になる。

【0030】半導体装置1の構造においては、ゲート電界が強いかわる領域（ゲート絶縁膜12の直下の半導体基板11の上層の領域）がソース・ドレイン（拡散層14、15）から適宜離れているため、先に問題とした電界重複領域が小さくなっている。そのため、短チャネル効果が低減されることになる。

【0031】また空間21を設けたことは、その部分でのゲート絶縁膜12の膜厚が厚くなるとほぼ同等の効果を奏する。これがソース・ドレイン（またはLDD）となる拡散層14、15の近接での電界が緩和されたのと同様の効果となり、チャネル長が短くなった構成において、短チャネル効果によるローラーオフ効果が緩和されるので、スレッショルド電圧の低下を抑制することができる。このことは、チャネル長が短いトランジスタまでスレッショルド電圧が変動無く使えることになり、さらなる微細化を行うのに有利となる。さらにゲート絶縁膜12の端部の誘電率が低下するので、上記説明したように電界が緩和され、ホットキャリアに対する信頼性が高まる。

【0032】このような場合には、図4に示すように、拡散層14、15を形成するイオン注入を、ゲート電極13を陰にしたいわゆる斜めイオン注入を行うことによって、拡散層14（ソース拡散層）からゲート電界が強くかかる領域16（2点鎖線で示す部分）までの距離を小さくすることが可能である。ただし、この場合は、同時に形成される各トランジスタのソースがゲートに対して同一方向に設計されている必要がある。

【0033】次に上記半導体装置1の構成を不揮発性半導体記憶装置に適用した構成例を図5によって説明する。この図5では、前記図1によって説明した構成部品と同様のものには同一符号を付して示す。

【0034】図5に示すように、半導体装置2は、前記図1によって説明したのと同様に、半導体基板11上にはゲート絶縁膜12が形成され、さらにフローティングゲート31（図1のゲート電極13に相当）が形成されている。そして上記ゲート絶縁膜12は上記フローティングゲート31よりもゲート長方向に短く形成されている。ゲート長方向におけるゲート絶縁膜12の側方にはフローティングゲート31と半導体基板11とに挟まれた空間21が形成されている。また上記フローティング

ゲート31の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。そして上記空間21は、少なくとも上記フローティングゲート31と上記各拡散層14、15とが平面視的にオーバーラップする領域に形成されている。さらに上記空間21は、真空雰囲気もしくは不活性雰囲気になっている。さらに本半導体装置2には、上記フローティングゲート31上に絶縁体膜32が形成され、さらにコントロールゲート33が形成されている。上記の如くに半導体装置2は構成されている。

【0035】上記半導体装置2でも、空間21を設けたことによって、前記説明した半導体装置1と同様に、電流リークの低減、短チャネル効果の低減という作用が得られる。

【0036】次に本発明の半導体装置に係わる第2実施形態の一例を、図6の概略構成図によって説明する。この図6では、前記図1によって説明した構成部品と同様のものには同一符号を付して示す。

【0037】図6に示すように、半導体基板11上にはゲート絶縁膜12が形成されている。このゲート絶縁膜12上にはゲート長方向にこのゲート絶縁膜12よりも長いゲート電極13が形成されている。言い換えれば、上記ゲート絶縁膜12は上記ゲート電極13よりもゲート長方向に短く形成されていることになる。そしてゲート長方向におけるゲート絶縁膜12の側方にはゲート電極13と半導体基板11とに挟まれた空間21が形成されている。この上記空間21は、例えばゲート長方向に30nm程度の長さで形成され、真空雰囲気もしくは不活性雰囲気になっている。また上記ゲート電極13の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。各拡散層14、15は上記ゲート電極13と平面視的にオーバーラップしない状態に形成されている。上記の如くに半導体装置3は構成されている。なお、上記空間21のゲート長方向の長さは上記値に限定されることなく、適宜選択される。

【0038】上記半導体装置3では、前記半導体装置1と同様に、ゲート電極13と半導体基板11とに挟まれた領域に空間21を設けたことから、上記空間21を設けた領域では上記ゲート絶縁膜12よりも誘電率が低下する。したがって、その領域の電界強度は低減されるのでトンネルリークの発生は低減される。しかも各拡散層14、15は上記ゲート電極13と平面視的にオーバーラップしない状態に形成されていることから、さらに前記半導体装置1よりも大きな電界緩和効果が得られる。また、従来のようにLDDを形成する必要がないため、素子の微細化が図れ、またそれとともなってサイドウォールを形成する必要もないため、ホットキャリアの滞留による素子の劣化も無くなる。

【0039】次に本発明の半導体装置に係わる第3実施形態の一例を、図7の概略構成図によって説明する。こ

の図7では、前記図1および図6によって説明した構成部品と同様のものには同一符号を付して示す。

【0040】図7に示すように、半導体装置4は、前記図6によって説明した半導体装置3において、空間21上のゲート電極部分13(13s)はゲート絶縁膜12上のゲート電極部分13(13c)と分離空間25を介して分離されている。その結果、上記ゲート電極部分13(13s)はアノティブ領域上では浮いた状態になっているが、アノティブ領域の側周を囲むフィールド領域(図示省略)で支持することにより、上記構成が可能になる。上記分離空間25は、例えばゲート長方向の長さが20nm~30nm程度に形成され、真空雰囲気または不活性なガス雰囲気になっている。または分離空間25の代わりに分離絶縁膜(図示省略)が形成されていてもよい。この分離絶縁膜は、ゲート絶縁膜よりも誘電率が低い材料で形成されることが好ましい。また、上記説明した以外の他の構成部品である、半導体基板11、ゲート絶縁膜12、拡散層14、拡散層15等は前記半導体装置3と同様の構成である。上記の如くに半導体装置4は構成されている。なお、上記空間21のゲート長方向の長さは上記値に限定されることなく、適宜選択される。

【0041】一方、図1によって説明したのと同様に、上記半導体装置4が、拡散層14、15と上記ゲート電極13とが平面視的にオーバーラップする状態に形成されている構成では、上記空間21は、少なくとも上記ゲート電極13と上記各拡散層14、15とが平面視的にオーバーラップする領域に形成されていることが好ましい。

【0042】上記半導体装置4では、前記半導体装置3と同様の作用が得られるとともに、上記ゲート電極13がゲート絶縁膜12上のゲート電極部分13cと空間21上のゲート電極部分13sとに分離されていることから、ゲート絶縁膜12上のゲート電極部分13cの電圧にかかわらず空間21上のゲート電極部分13sに任意の電圧を与えることが可能になる。そのため、前記半導体装置3よりも電界緩和効果が大きくなる。

【0043】次に本発明の半導体装置に係わる第3実施形態の一例を、図8の概略構成図によって説明する。この図8では、前記図1および図6によって説明した構成部品と同様のものには同一符号を付して示す。

【0044】図8に示すように、半導体装置5は、前記図6によって説明した半導体装置3において、拡散層14のゲート電極13側が低い濃度の拡散層、すなわちLDD(Lightly Poped Drain)16で形成されていて、また拡散層15のゲート電極13側も同様に低い濃度の拡散層であるLDD17で形成されているものである。したがって、上記拡散層14はLDD16とそれよりも高い濃度のソース・ドレイン18とからなり、上記拡散層15はLDD17とそれよりも高い濃度のソース・ドレイン19とからなる。また、上記説明した以外の他の

構成部品である、他の構成部品の半導体基板11、ゲート絶縁膜12、ゲート電極13、空間21等は前記半導体装置3と同様の構成である。この空間21は、例えばゲート長方向に50nm程度の長さで形成され、真空雰囲気または不活性なガス雰囲気になっている。上記の如くに半導体装置5は構成されている。なお、上記空間21のゲート長方向の長さは上記値に限定されることなく、適宜選択される。

【0045】上記半導体装置5では、前記半導体装置3と同様の作用が得られるとともに、低濃度の拡散層となるLDD16、17が形成されていることから、空間21の形成による電界緩和効果に加えてLDD16、17による電界緩和効果が得られる。すなわち、前記半導体装置3よりも電界緩和効果がさらに大きくなる。

【0046】次に本発明の半導体装置に係わる第4実施形態の一例を、図9の概略構成図によって説明する。この図9では、前記図1および図8によって説明した構成部品と同様のものには同一符号を付して示す。

【0047】図9に示すように、半導体装置6は、前記図1によって説明した半導体装置1において、空間21下の半導体基板11に拡散層14に接続するのでもこの拡散層14よりも低濃度の拡散層であるLDD16が形成されていて、かつ一方の空間21下の半導体基板11に拡散層15に接続するのでもこの拡散層15よりも低濃度の拡散層であるLDD17が形成されているものである。したがって、上記拡散層14はLDD16とそれよりも高い濃度のソース・ドレイン18とからなり、上記拡散層15はLDD17とそれよりも高い濃度のソース・ドレイン19とからなる。また、上記説明した以外の他の構成部品である、半導体基板11、ゲート絶縁膜12、ゲート電極13、空間21等は前記半導体装置1と同様の構成である。この空間21は、例えばゲート長方向に50nm程度の長さで形成され、真空雰囲気または不活性なガス雰囲気になっている。上記の如くに半導体装置6は構成されている。なお、上記空間21のゲート長方向の長さは上記値に限定されることなく、適宜選択される。

【0048】上記半導体装置6では、前記半導体装置1と同様の作用が得られるとともに、低濃度の拡散層となるLDD16、17が形成されていることから、空間21の形成による電界緩和効果に加えてLDD16、17による電界緩和効果が得られる。すなわち、前記半導体装置1よりも電界緩和効果がさらに大きくなる。

【0049】次に本発明の半導体装置に係わる第5実施形態の一例を、図10の概略構成図によって説明する。この図10では、前記図1によって説明した構成部品と同様のものには同一符号を付して示す。

【0050】図10に示すように、半導体装置7は、前記図1によって説明した半導体装置1の空間21が膜厚方向に広く形成されているものである。すなわち、半導

体基板11上にはゲート絶縁膜12が形成され、このゲート絶縁膜12上にはゲート長方向にこのゲート絶縁膜12よりも長いゲート電極13が形成されている。そしてゲート長方向におけるゲート絶縁膜12の側方にはゲート電極13と半導体基板11とに挟まれた空間23が形成されている。この空間23は、ゲート絶縁膜12の厚さ方向にこのゲート絶縁膜12の厚さよりも広く形成されている。また上記ゲート電極13の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。そして上記空間23は、少なくとも上記ゲート電極13と上記各拡散層14、15とが平面視的にオーバーラップする領域に形成されている。さらに上記空間23は、真空雰囲気もしくは不活性雰囲気になっている。上記の如くに半導体装置7は構成されている。

【0051】上記半導体装置7では、前記図1によって説明した半導体装置1の空間21よりもゲート絶縁膜の膜厚方向に広い空間23が形成されていることにより、前記半導体装置1よりもさらに上記空間23を設けた領域の電界が緩和される。特にドレイン近傍の電界が緩和される。また前記図5によって説明した半導体装置2においても、空間21の代わりに、前記図10によって説明したように、ゲート絶縁膜12の厚さ方向に広く形成した空間23を形成することが望ましい。このような空間23を形成することにより、半導体装置2においては、さらに電流リークの低減、短チャネル効果の低減という作用が得られる。

【0052】図示はしないが、前記図6～9で説明した半導体装置3～6において、空間21の代わりに上記半導体装置7のような空間23を形成することも可能である。このような各構成であっても上記半導体装置7と同様に、空間21を設けたものよりもさらに大きな電界緩和効果が得られる。

【0053】次に本発明の半導体装置に係わる第7実施形態の一例を、図11の概略構成図によって説明する。この図11では、前記図1によって説明した構成部品と同様のものには同一符号を付して示す。

【0054】図11に示すように、半導体装置8は、前記図1によって説明した半導体装置1の空間21にゲート絶縁膜12の誘電率よりも低い誘電率を有する誘電体22が設けられているものである。すなわち、半導体基板11上にはゲート絶縁膜12が形成され、このゲート絶縁膜12上にはゲート長方向にこのゲート絶縁膜12よりも長いゲート電極13が形成されている。そしてゲート長方向におけるゲート絶縁膜12の側方にはゲート電極13と半導体基板11とに挟まれた空間21が形成され、この空間21に上記誘電体22が設けられている。また上記ゲート電極13の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。そして上記誘電体22は、少なくとも上記ゲート電極13と上記各拡散層14、15とが平面視的にオーバ

ラップする領域に形成されている。

【0055】例えば、前記ゲート絶縁膜12を窒化シリコン(Si_3N_4)〔比誘電率 ϵ Si_3N_4 は6～8〕、酸化タンタル(Ta_2O_5)〔比誘電率 ϵ Ta_2O_5 は20～25〕のような誘電率が高い材料で形成した場合には、上記誘電体22には例えば酸化シリコン(SiO_2)〔比誘電率 ϵ SiO_2 は4〕のような誘電率が低い材料を用いる。また、上記誘電体22には、フッ化炭素(CF)膜〔比誘電率 ϵ CFは2、2～2.7〕、フッ素を含む酸化シリコン(SiOF)膜〔比誘電率 ϵ SiOF は3、2～3.7〕、ポリパラキシルレン〔比誘電率 ϵ は2.4〕等のいわゆる低誘電率膜を用いることも可能である。

【0056】上記半導体装置8では、ゲート電極13と半導体基板11とに挟まれ、かつゲート電極13と各拡散層14、15とが平面視的にオーバーラップする領域に、ゲート絶縁膜12の誘電率よりも低い誘電率を有する誘電体22を設けたことから、上記誘電体22を設けた領域では上記ゲート絶縁膜12よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるのでトンネルリークの発生は低減される。

【0057】また誘電体22を設けたことは、その部分でのゲート絶縁膜12の膜厚が厚くなったのとはほぼ同等の効果を奏する。これがソース・ドレイン(またはLD)となる拡散層14、15の近傍での電界が緩和されたのと同様の効果となり、チャネル長が短くなった構成において、短チャネル効果によるローレオフ効果が緩和されるので、スレッショールド電圧の低下を抑制することができる。このことは、チャネル長が短いトランジスタまでスレッショールド電圧が変動無く使えることになり、さらなる微細化を行うのに有利となる。さらにゲート絶縁膜12の端部の誘電率が低くなるので、上記説明したように電界が緩和され、ホットキャリアに対する信頼性が高まる。

【0058】次に上記半導体装置8の構成を不揮発性半導体記憶装置に応用した構成例を図12によって説明する。この図12では、前記図10によって説明した構成部品と同様のものには同一符号を付して示す。

【0059】図12に示すように、半導体装置9は、前記図11によって説明したのと同様に、半導体基板11上にはゲート絶縁膜12が形成され、さらにフローティングゲート31(図10のゲート電極13に相当)が形成されている。そして上記ゲート絶縁膜12は上記フローティングゲート31よりもゲート長方向に短く形成されていて、ゲート長方向におけるゲート絶縁膜12の側方にはフローティングゲート31と半導体基板11とに挟まれた領域に、ゲート絶縁膜12の誘電率よりも低い誘電率を有する誘電体22が形成されている。また上記フローティングゲート31の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。そして上記誘電体22は、少なくとも上記フローテ

ゲート12と上記各拡散層14、15とが平面視的にオーバーラップする領域に形成されている。さらに本半導体装置9では、上記フローティングゲート31上に絶縁体膜32が形成され、さらにコントロールゲート33が形成されている。上記の如くに半導体装置9は構成されている。

【0060】上記半導体装置9でも、誘電体22を設けたことによって、前記説明した半導体装置4と同様に、電流リークが低減され短チャネル効果の低減される。

【0061】次に本発明の半導体装置に係わる第8実施形態の一例を、図13の概略構成図によって説明する。この図13では、前記図10によって説明した構成部品と同様のものには同一符号を付して示す。

【0062】図13に示すように、半導体装置10は、前記図10によって説明した半導体装置7の空間23にゲート絶縁膜12の誘電率よりも低い誘電率を有する誘電体24が設けられているものである。すなわち、半導体基板11上にはゲート絶縁膜12が形成され、このゲート絶縁膜12上にはゲート長方向にこのゲート絶縁膜12よりも長いゲート電極13が形成されている。そしてゲート長方向におけるゲート絶縁膜12の側方にはゲート電極13と半導体基板11とに挟まれた空間23が形成されている。この空間23は、ゲート絶縁膜12の厚さ方向にこのゲート絶縁膜12の厚さよりも広く形成されている。さらにこの空間23には上記誘電体24が設けられている。また上記ゲート電極13の両側における上記半導体基板11には拡散層14と拡散層15とが形成されている。そして上記誘電体24は、少なくとも上記ゲート電極13と上記各拡散層14、15とが平面視的にオーバーラップする領域に形成されている。上記の如くに半導体装置10は構成されている。

【0063】例えば、前記ゲート絶縁膜12を窒化シリコン(Si_3N_4)〔比誘電率 ϵ Si_3N_4 は6~8〕、酸化タンタル(Ta_2O_5)〔比誘電率 ϵ Ta_2O_5 は20~25〕のような誘電率が高い材料で形成した場合には、上記誘電体24には例えば酸化シリコン(SiO_2)〔比誘電率 ϵ SiO_2 は4〕のような誘電率が低い材料を用いる。

【0064】上記半導体装置10では、ゲート電極13と半導体基板11とに挟まれ、かつゲート電極13と各拡散層14、15とが平面視的にオーバーラップする領域に、ゲート絶縁膜12の誘電率よりも低い誘電率を有する誘電体24を設けたことから、上記誘電体24を設けた領域では上記ゲート絶縁膜12よりも誘電率が低くなる。しかも、上記誘電体24は、ゲート絶縁膜12の膜厚方向の厚さよりも厚く形成されていることから、上記誘電体24を設けた領域の電界は、前記図11によって説明した半導体装置8よりも低減されるのでトンネルリークの発生は大幅に低減される。

【0065】また前記図12によって説明した半導体装

置9においても、前記図13によって説明したように、ゲート絶縁膜12の厚さ方向に広く形成した空間23を形成し、その空間23に誘電体24を設けることが望ましい。このような空間23を形成するとともに誘電体24を設けることにより、半導体装置5においては、さらに電流リークの低減、短チャネル効果の低減という作用が得られる。

【0066】図示はしないが、前記図6~図9によって説明した各半導体装置3~6において、空間21にゲート絶縁膜12よりも誘電率が低い誘電体を形成することも可能である。このように誘電体を形成した場合も、前記半導体装置3~6と同様の作用が得られる。また、前記図6~図9によって説明した各半導体装置3~6において、空間21の代わりに上記半導体装置7のような空間23を形成し、その空間23にゲート絶縁膜12よりも誘電率が低い誘電体を形成することも可能である。このように誘電体を形成した場合も、前記半導体装置3~6と同様の作用が得られる。

【0067】次に本発明の製造方法に係わる第1実施形態の一例を、図14の製造工程図によって説明する。

【0068】図14の(1)に示すように、半導体基板11上にゲート絶縁膜12を形成する。このゲート絶縁膜12を酸化シリコンで形成する場合には、例えば熱酸化法によって半導体基板11の表面を酸化させて形成する。また上記ゲート絶縁膜12を例えば窒化シリコン(Si_3N_4)で形成する場合には、例えば化学的気相成長(以下CVDという、CVDはChemical Vapour Depositionの略)法によって、半導体基板11上に窒化シリコンを堆積させて形成する。

【0069】その後、上記ゲート絶縁膜12上にゲート電極を形成するための導電膜51を形成する。この導電膜51は、例えば不純物がドーピングされた多結晶シリコンからなり、例えばCVD法によって形成される。不純物は、CVD時に導入してもよい、または多結晶シリコン膜を形成した後、イオン注入によって導入してもよい。

【0070】その後、図14の(2)に示すように、上記導電膜51と上記ゲート絶縁膜12とをパターンングして、上記導電膜51でゲート電極13を形成し、その下部にゲート絶縁膜12を残す。このとき、ゲート絶縁膜12の露出している上層部もエッチングされる。そしてゲート絶縁膜12の露出している部分を除去してもよい。上記パターンングの方法としては、上記導電膜51上にレジストを塗布してレジスト膜を形成した後、レジストパターニング技術によって上記レジスト膜をパターンングしてレジストマスク52を形成する。そのレジストマスク52をエッチング液(例えば、ガラス)を用いたエッチングによって、上記導電膜51でゲート電極13を形成し、その下部にゲート絶縁膜12を残す。その後、上記レジストマスク52を(例えばアッシングおよび洗浄によって除去

する。

【0071】次いで図14の(3)に示すように、ウェットエッチングによって、上記ゲート絶縁膜12を選択的にエッチング（いわゆるサイドエッチング）する。このエッチングでは、ゲート絶縁膜12をゲート電極13よりもゲート長方向に短くなる状態に除去して、ゲート長方向におけるゲート絶縁膜12の両側方にゲート電極13と半導体基板11とに挟まれた空間21を、ゲート電極13と後に形成される拡散層とが平面視的にオーバーラップする領域に形成する。

【0072】その後図14の(4)に示すように、上記ゲート電極13をマスクにしたイオン注入法によって、半導体基板11中に不純物をドーピングして、ゲート電極13の両側の半導体基板11に拡散層14と拡散層15とを形成する。その後、上記拡散層14、15の活性化アニーリングを行う。なお、上記拡散層14、15をLDD（Lightly Doped Drain）とする場合には、上記ゲート電極13の側壁にサイドウォール絶縁膜（図示省略）を形成した後、上記ゲート電極13の両側における半導体基板11に上記拡散層14、15を介して高濃度の拡散層（図示省略）を形成すればよい。

【0073】上記製造方法の第1実施形態では、ゲート電極13を形成した後に、ゲート絶縁膜12をゲート電極13よりもゲート長方向に短くなる状態に除去して、ゲート長方向におけるゲート絶縁膜12の両側方にゲート電極13と半導体基板11とに挟まれた空間21を、少なくともゲート電極13と拡散層14、15とが平面視的にオーバーラップする領域に形成することから、上記空間21を設けた領域では上記ゲート絶縁膜12よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるのでトンネリングの発生が低減された半導体装置を形成することが可能になる。

【0074】上記製造方法の第1実施形態において、前記空間21をゲート絶縁膜12の厚さ方向に広く形成する製造方法を、図15の製造工程図によって説明する。図15では、前記図14によって説明した構成部品と同様のものには同一符号を付して示す。

【0075】前記図14の(1)～(2)によって説明したのと同様にして、図15の(1)に示すように、半導体基板11上にゲート絶縁膜12を形成し、さらにゲート電極を形成するための導電膜51を形成する。次いでリソグラフィ技術とエッチング技術とを用いて上記導電膜51と上記ゲート絶縁膜12をパターンニングして、上記導電膜51でゲート電極13を形成し、その下部にゲート絶縁膜12を残す。このとき、ゲート絶縁膜12の露出している上層部もエッチングされる。そしてゲート絶縁膜12の露出している部分を除去してもよい。

【0076】その後、上記レジストマスク52を、例えばアッシングおよび洗浄によって除去する。次いで図1

5の(2)に示すように、ゲート長方向におけるゲート絶縁膜12の端部上にゲート電極13に例えば酸素雰囲気中、または、酸素が混在する雰囲気中で熱線を照射して加熱し、この加熱した部分にゲート絶縁膜12を厚く形成する。上記熱線としては、例えば酸化シリコン膜に吸収されやすい波長のレーザー光、例えばエキシマレーザー光を用いる。

【0077】その後、前記図14の(3)～(4)によって説明したのと同様にして、図15の(3)に示すように、ウェットエッチングによって、上記ゲート絶縁膜12を選択的にエッチング（いわゆるサイドエッチング）する。このエッチングでは、ゲート絶縁膜12をゲート電極13よりもゲート長方向に短くなる状態に除去して、ゲート長方向におけるゲート絶縁膜12の両側方にゲート電極13と半導体基板11とに挟まれた空間23を、ゲート電極13と後に形成される拡散層とが平面視的にオーバーラップする領域に形成する。

【0078】その後上記ゲート電極13をマスクにしたイオン注入法によって、半導体基板11中に不純物をドーピングして、ゲート電極13の両側の半導体基板11に拡散層14と拡散層15とを形成する。続いて、上記拡散層14、15の活性化アニーリングを行う。なお、上記拡散層14、15をLDD（Lightly Doped Drain）とする場合には、上記ゲート電極13の側壁にサイドウォール絶縁膜（図示省略）を形成した後、上記ゲート電極13の両側における半導体基板11に上記拡散層14、15を介して高濃度の拡散層（図示省略）を形成すればよい。

【0079】または、図示はしないが、上記熱線を照射する前に、窒素（N₂）雰囲気中で上記ゲート電極13の表面に窒化膜を形成して不活性化する。そして、ゲート長方向のゲート絶縁膜12の端部上のゲート電極13に熱線を照射して加熱し、その部分にゲート絶縁膜12を厚く形成してもよい。

【0080】次に前記図15によって説明したのと同様の空間を形成する別の製造方法を、図16の製造工程図によって説明する。図16では、前記図14によって説明した構成部品と同様のものには同一符号を付して示す。

【0081】前記図14の(1)～(3)によって説明したのと同様にして、図15の(1)に示すように、半導体基板11上にゲート絶縁膜12を介してゲート電極13形成する。さらに、ゲート長方向におけるゲート絶縁膜12の両側方にゲート電極13と半導体基板11とに挟まれた空間21を、ゲート電極13と後に形成される拡散層とが平面視的にオーバーラップする領域に形成する。

【0082】その後図16の(2)に示すように、酸化法によって、上記ゲート電極13の表面を薄く酸化して酸化膜71を形成する。このとき、半導体基板11の表

面も酸化(図示省略)される。通常、ポリシリコンは半導体基板11を構成する単結晶シリコンよりも酸化されやすいので、半導体基板11上の酸化膜よりもポリシリコンからなるゲート電極12の表面に形成される酸化膜71の方が厚く形成される。次いでエッチングによって、選択的に上記酸化膜71を除去する。その結果、ゲート絶縁膜12のゲート長方向側端部で上記半導体基板11とゲート電極13との間に、上記ゲート絶縁膜12の膜厚よりも厚さ方向に広い空間23が形成される。

【0083】その後前記図14の(4)によって説明したのと同様にして、ゲート電極13の両側の半導体基板11に拡散層14と拡散層15とを形成する。続いて、上記拡散層14、15の活性化アニーリングを行う。なお、上記拡散層14、15をLDD(Lightly Doped Drain)とする場合には、上記ゲート電極13の側壁にサイドウォール絶縁膜(図示省略)を形成した後、上記ゲート電極13の両側における半導体基板11に上記拡散層14、15を介して高濃度の拡散層(図示省略)を形成すればよい。

【0084】上記図15および図16によって説明した第1実施形態の別の各製造方法では、空間23をゲート絶縁膜12よりも厚さ方向に広く形成することから、空間23を設けた領域の電界強度はさらに低減されるので、トンネルリークの発生は大幅に低減される。

【0085】次に本発明の製造方法に係わる第2実施形態の一例を、図17の製造工程図によって説明する。

【0086】前記図14の(1)～(3)によって説明した製造方法によって、図17の(1)に示すように、半導体基板11上にゲート絶縁膜12を介してゲート電極13を形成し、かつゲート長方向のゲート絶縁膜12の側方にゲート電極12と半導体基板11とに挟まれた空間21を形成する。さらにゲート電極13の両側における半導体基板11に拡散層14、15を形成する。

【0087】その後、図17の(2)に示すように、上記空間21に誘電体22を埋め込む。上記誘電体22は、例えば酸化シリコンからなり、例えばCVD法によって形成される。そのため、半導体基板11上およびゲート電極13の表面にも誘電体22は形成されることになる。そこで空間21にのみ上記誘電体22を形成するのであれば、図17の(3)に示すように、異方性エッチングによって、ゲート電極13の陰になる部分を除く半導体基板11上およびゲート電極13の上面と側面とに形成されている上記誘電体22(2点鎖線で示す部分)をエッチングして空間21に誘電体22を残せばよい。その後、前記図14の(4)によって説明したのと同様にして、半導体基板11に拡散層14、15を形成する。

【0088】上記製造方法の第2実施形態では、空間21にゲート絶縁膜12の誘電率よりも低い誘電率を有する誘電体22を設けたことから、この誘電体22を設け

た領域では上記ゲート絶縁膜12よりも誘電率が低くなる。したがって、上記第1実施形態で説明した製造方法と同様に、その領域の電界強度は低減されるのでトンネルリークの発生は低減される。

【0089】また、上記第1、第2実施形態で説明した製造方法によれば、従来のゲート絶縁膜端を厚く形成する製造方法よりも簡単な製造方法によって電流リークの低減と短チャネル効果の低減が可能になる。さらに電流リークの低減と短チャネル効果の抑制との両方を、ゲート絶縁膜のサイドエッチングによって同時に達成できるので、それぞれに対策を行う製造方法、例えば電流リークの低減のためにゲート長方向のゲート絶縁膜端部を厚膜化し、短チャネル効果を抑制するためにサブセリットドレインを形成するような製造方法よりも工程数の削減が可能になる。

【0090】また、上記図15、図16によって説明した製造方法によって、空間23を形成した後、前記図17の(2)～(3)によって説明した方法によって空間23の誘電体を埋め込むことも可能である。

【0091】このように、ゲート絶縁膜12の膜厚よりもその膜厚方向に広い空間23を形成した後、その空間23に誘電体を設ける製造方法では、誘電体を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減される。

【0092】次に上記製造方法の第1実施形態および第2実施形態において、不揮発性半導体記憶装置の製造方法に応用する場合の一例を、図18によって説明する。図18では、前記図14と同様の構成部品には同一の符号を付す。

【0093】図18の(1)に示すように、上記導電膜51をフローティングゲートを形成するための導電膜として、半導体基板11上に形成されたゲート絶縁膜12上に形成する。次いで、上記導電膜51上に絶縁体膜61を形成し、さらにコントロールゲートを形成するための導電膜62を形成する。

【0094】次いで図18の(2)に示すように、通常のバターンニング方法(例えばレジスト塗布、パターニング、マスク露光、現像等の処理)によって、コントロールゲートを形成するための導電膜62、上記絶縁体膜61、上記フローティングゲートを形成するための導電膜51をバターンニングして、コントロールゲート33、絶縁体膜32、フローティングゲート31を形成する。

【0095】そして前記図14の(3)で説明したのと同様にして、図18の(3)に示すように、ゲート長方向における上記ゲート絶縁膜12の側部をエッチングして除去し、導電膜51からなるフローティングゲート31と半導体基板11との間に空間21を形成する。さらに上記空間21に誘電体を埋め込む場合には、上記図17の(3)によって説明したのと同様にして、誘電体(図示省略)を形成すればよい。

【0096】上記説明したように、ゲート絶縁膜12の膜厚よりも広い空間23を形成する製造方法、またはその空間23に誘電体を形成する製造方法を、図18によって説明した不揮発性半導体記憶装置の製造方法に適用することも可能である。

【0097】上記説明では、いわゆるトランジスタの半導体基板11にトランジスタを形成した構成において、空間を設けたもの、および誘電体を設けたものを説明したが、本発明の構成、すなわち空間を設ける構成または誘電体を設ける構成は、例えばSOI(Silicon on Insulator)基板のシリコン層に形成したトランジスタに適用することも可能である。また、いわゆるダブルゲート構造のトランジスタや、ダブルフローティングゲート構造を有するトランジスタにも適用することが可能である。その場合には、上部ゲートのゲート絶縁膜に対して、および下部ゲートのゲート絶縁膜に対してのいずれに対しても適用することが可能である。なお、本発明の説明は、シリコン半導体の場合を例にとりて構造およびその製造方法を示してあるが、シリコン半導体の場合に限定されるものではない。すなわち、ガリウムと素(GaAs)等の化合物半導体系等に対しても同様に適用される。

【0098】

【発明の効果】以上、説明したように本発明の半導体装置によれば、ゲート電極下部におけるゲート長方向のゲート絶縁膜の側部に空間を形成したので、その空間が形成された領域ではゲート絶縁膜よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるのでトンネルリークの発生を低減することができる。また、空間をゲート絶縁膜よりも厚さ方向に広く形成した構成によれば、空間を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減できる。また空間がゲート電極と拡散層とが平面視的にオーバーラップする領域に形成されているので、ゲート絶縁膜と拡散層とが離されて作られている場合には電界重複領域が小さくなる。そのため、短チャネル効果を低減することができる。

【0099】またゲート電極下部におけるゲート長方向のゲート絶縁膜の側部にゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体を設けた本発明の半導体装置によれば、誘電体が形成された領域ではゲート絶縁膜よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるのでトンネルリークの発生を低減することができる。また誘電体をゲート絶縁膜よりも厚さ方向に厚く形成した構成によれば、誘電体を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減できる。また此誘電体材料はゲート電極と拡散層とが平面視的にオーバーラップする領域に形成されているので、ゲート絶縁膜と拡散層とが離されて作られている場合には電界重複領域が小さくなる。そのため、短チャ

ネル効果を低減することができる。

【0100】また、ゲート電極と半導体基板との間に設けた空間上のゲート電極部分をゲート絶縁膜上のゲート電極部分と分離空間または分離絶縁膜を介して分離した構成の半導体装置によれば、ゲート電極と半導体基板との間に設けた空間(誘電体)によって、その領域の電界強度を低減することができる。それによってトンネルリークの発生を低減が図れる。それとともに短チャネル効果を低減することができる。さらにゲート絶縁膜上のゲート電極の電圧にかかわらず、空間(誘電体)上のゲート電極に任意の電圧を与えることが可能になる。そのため、電界緩和効果をさらに大きくできるので、素子性能の向上が図れる。

【0101】また拡散層のゲート電極側が低い濃度の拡散層で形成されている半導体装置によれば、ゲート電極と半導体基板との間に設けた空間(誘電体)による電界緩和効果に加えて低濃度拡散層による電界緩和効果が得られる。すなわち、電界緩和効果がさらに大きくなる。また、ゲート電極と半導体基板との間に設けた空間(誘電体)下の半導体基板に、拡散層に接続するのでも拡散層よりも低濃度の拡散層を形成した半導体装置であっても、上記同様な効果が得られる。

【0102】本発明の半導体装置の製造方法によれば、ゲート絶縁膜をゲート電極よりもゲート長方向に短くなる状態に除去して、ゲート長方向におけるゲート絶縁膜の側方にゲート電極と半導体基板とに挟まれた空間を形成するので、その空間が形成された領域ではゲート絶縁膜よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるので、この製造方法によって製造された半導体装置はトンネルリークが低減されたものになる。またゲート絶縁膜の膜厚よりも広い空間を形成する方法によれば、空間を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減できる。さらに空間はゲート電極と拡散層とが平面視的にオーバーラップする領域に形成されることになるので、ゲート絶縁膜と拡散層とが離されて作られる場合には電界重複領域を小さくすることが可能になる。そのため、この製造方法によって製造される半導体装置は短チャネル効果が低減されたものになる。

【0103】上記空間にゲート絶縁膜の誘電率よりも低い誘電率を有する誘電体を埋め込むという本発明の製造方法によれば、誘電体を設けた領域では上記ゲート絶縁膜よりも誘電率が低くなる。したがって、その領域の電界強度は低減されるので、この製造方法によって製造された半導体装置はトンネルリークが低減されたものになる。またゲート絶縁膜の膜厚よりも厚い誘電体を形成する方法によれば、誘電体を設けた領域の電界強度はさらに低減されるのでトンネルリークの発生は大幅に低減できる。さらに誘電体材料はゲート電極と拡散層とが平面視的にオーバーラップする領域に形成されることになるの

で、ゲート絶縁膜と拡散層とが離されて作られる場合には電界重複領域を小さくすることが可能になる。そのため、この製造方法によって製造される半導体装置は短チャネル効果が低減されたものになる。

【図面の簡単な説明】

【図1】本発明の半導体装置に係わる第1実施形態の概略構成図である。

【図2】GIDLの解析モデルの説明図である。

【図3】ドレイン電流とドレイン電圧との関係図である。

【図4】第1実施形態に係わる半導体装置の変形例の説明図である。

【図5】第1実施形態に係わる半導体装置の一応用例の概略構成図である。

【図6】本発明の半導体装置に係わる第2実施形態の概略構成図である。

【図7】本発明の半導体装置に係わる第3実施形態の概略構成図である。

【図8】本発明の半導体装置に係わる第4実施形態の概略構成図である。

【図9】本発明の半導体装置に係わる第5実施形態の概略構成図である。

【図10】本発明の半導体装置に係わる第6実施形態の

概略構成図である。

【図11】本発明の半導体装置に係わる第7実施形態の概略構成図である。

【図12】第7実施形態に係わる半導体装置の一応用例の概略構成図である。

【図13】本発明の半導体装置に係わる第8実施形態の概略構成図である。

【図14】本発明の製造方法に係わる第1実施形態の製造工程図である。

【図15】製造方法に係わる第1実施形態の別の製造工程図である。

【図16】製造方法に係わる第1実施形態の別の製造工程図である。

【図17】本発明の製造方法に係わる第2実施形態の製造工程図である。

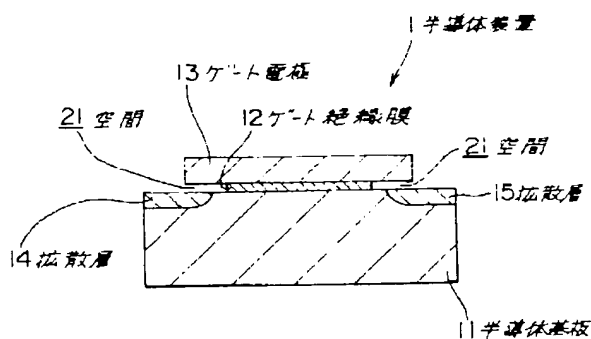
【図18】不揮発性半導体記憶装置の製造方法への一応用例の説明図である。

【図19】課題の説明図である。

【符号の説明】

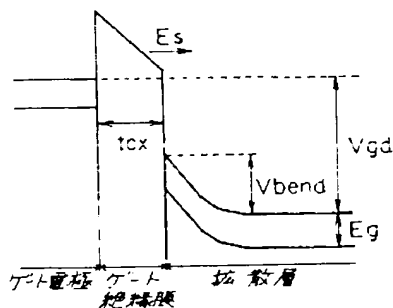
1 半導体装置 11 半導体基板 12 ゲート絶縁膜
13 ゲート電極 14, 15 拡散層 21 空間

【図1】



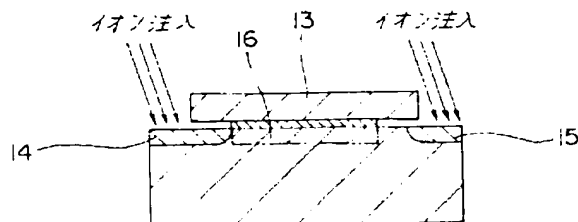
本発明の半導体装置に係わる第1実施形態の概略構成図

【図2】



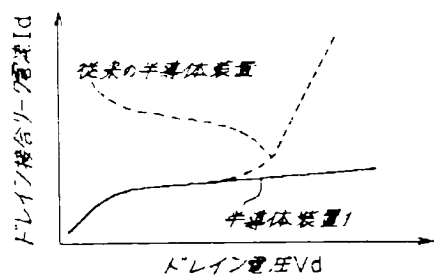
GIDLの解析モデルの説明図

【図4】



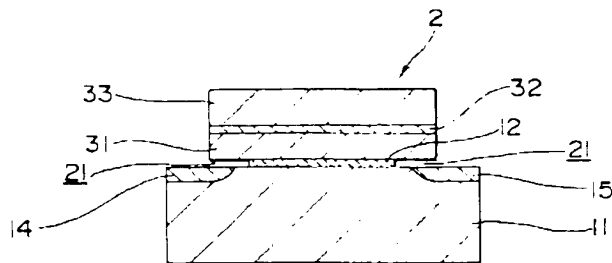
第1実施形態に係わる半導体装置の変形例の説明図

【図3】



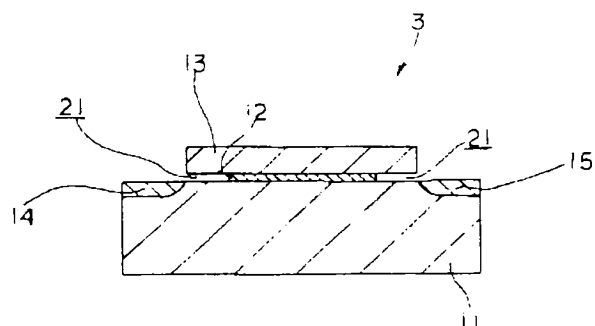
ドレイン電流とドレイン電圧との関係図

【図5】



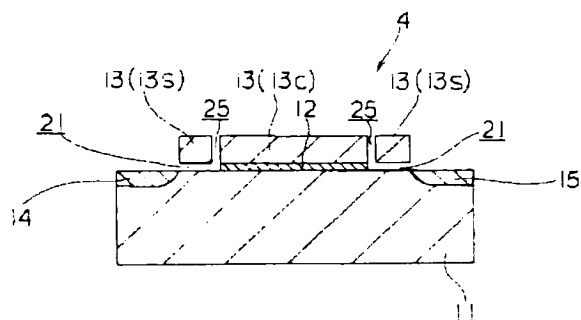
第1実施形態に係る半導体装置の一応用例の概略構成図

【図6】



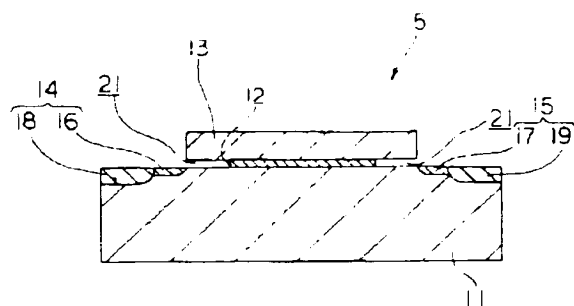
本発明の半導体装置に係る第2実施形態の概略構成図

【図7】



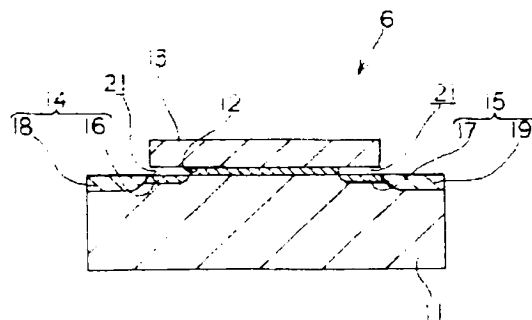
本発明の半導体装置に係る第3実施形態の概略構成図

【図8】



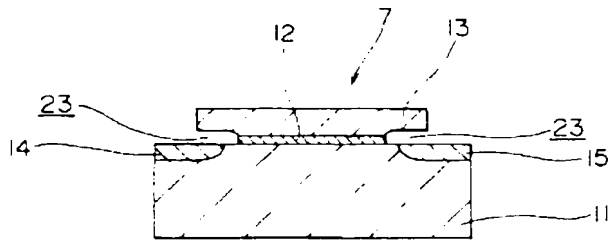
本発明の半導体装置に係る第4実施形態の概略構成図

【図9】



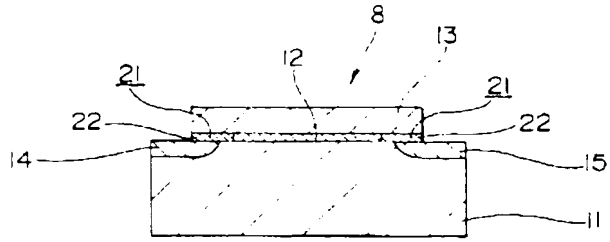
本発明の半導体装置に係る第5実施形態の概略構成図

【図10】



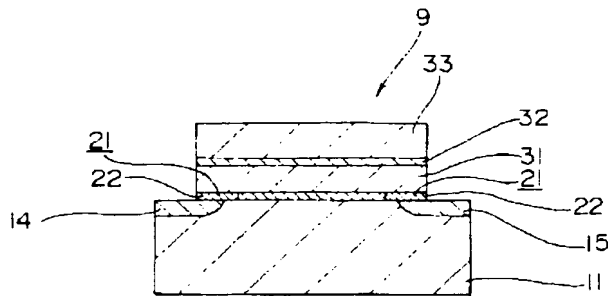
本発明の半導体装置に係る第5実施形態の概略構成図

【図11】



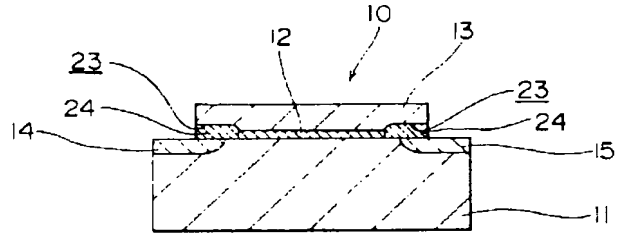
本発明の半導体装置に係る第7実施形態の概略構成図

【図12】



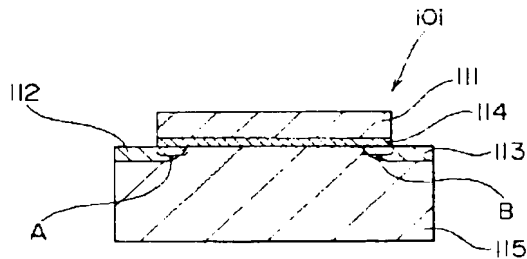
第7実施形態に係る半導体装置の一応用例の概略構成図

【図13】



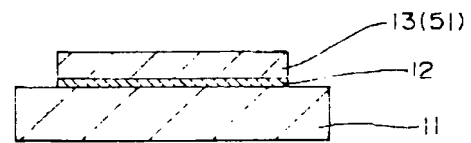
本発明の半導体装置に係る第8実施形態の概略構成図

【図19】

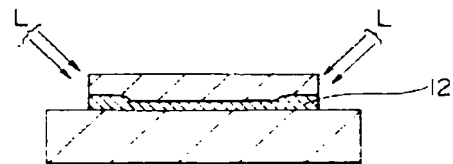


課題の説明図

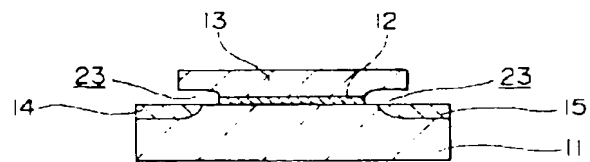
【図15】



(1)



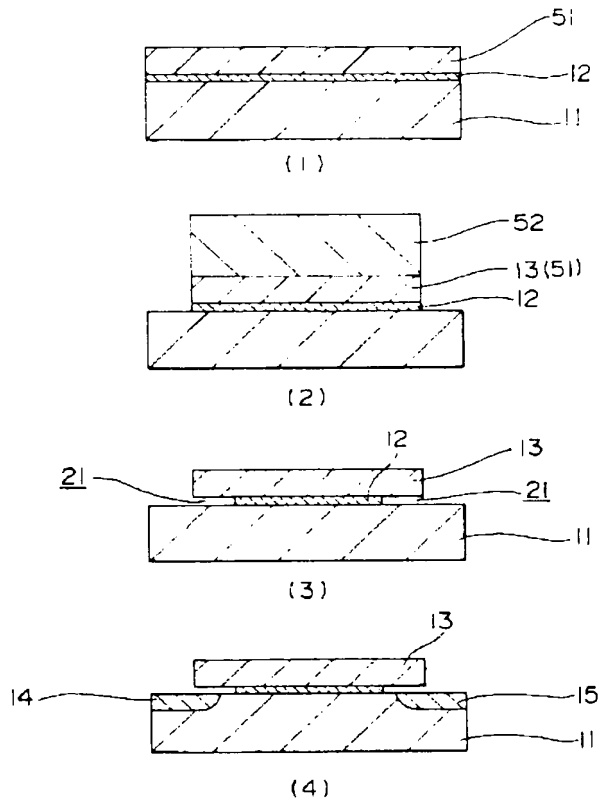
(2)



(3)

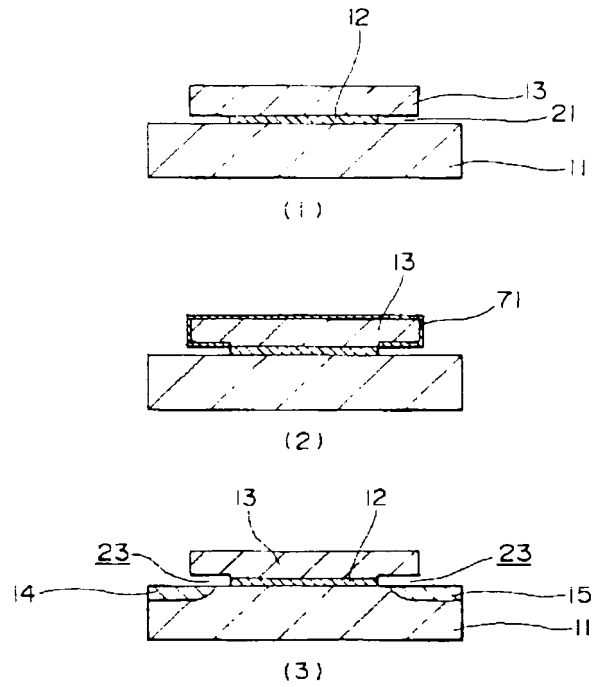
製造方法に係る第1実施形態の5/の製造工程図

【図14】



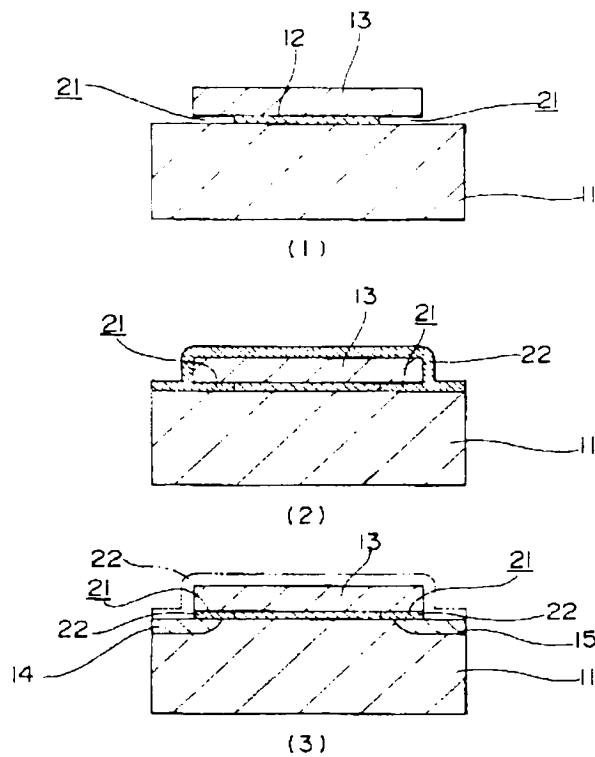
本発明の製造方法に係る第1実施形態の製造工程図

【図16】



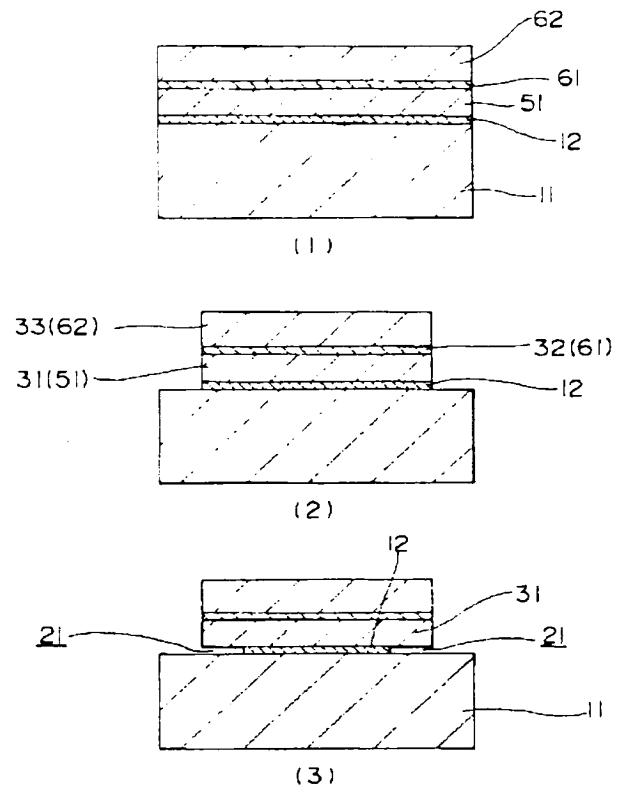
製造方法に係る第1実施形態の別の製造工程図

【図17】



本発明の製造方法に係る第2実施形態の製造工程図

【図18】



不揮発性半導体記憶装置の製造方法への一応用例の説明図